

Best Available Copy

特開昭62-159925 (2)

信号からエコーレプリカを差し引いた差信号と送信データとの相関をとることにより逐次修正される。このように適応フィルタの係数修正すなわち、エコーキャンセラーの収束アルゴリズムについては前記特許文献に記載されており、その代表的なものとして、ストキャスチック・イテレーション・アルゴリズム (STOCHASTIC ITERATION ALGORITHM) とサイン・アルゴリズム (SIGN ALGORITHM) が知られている。

エコーキャンセラーによる2進変調方式のデジタル伝送では種々の伝送路符号の適用が考えられているが、ここではよく知られているAMI (Alternate Mark Inversion) 符号を対象とする。第3図は、AMI符号を用いた場合の従来のエコーキャンセラーの構成を示したものである。入力端子1に送信すべき2値データが供給され、AMI符号器2に入力される。AMI符号器2では、入力された2値データをAMI符号の符号則に従い、等レベルあるいは正又は負のパルスを生じ、ハイブリッド (2進/4進変換回路) 3に供給すると

(3)

フィルタ5の出力に含まれているエコー成分は除去されることになる。

(発明が解決しようとする問題点)

ここで、第3図において適応フィルタ15はトランスバースナル型あるいはメモリ型のフィルタで実現できるが、そのチップ数は、エコーのパルス応答の長さによって定まり、50〜500dBのエコー抑圧率を得るには、チップ数を多く必要とし、ハードウェア規模が大きいという欠点があった。また、AMI符号器2にて発生される正のパルス及び負のパルスは一般に非対象であり残留エコーを所望のレベルに抑圧するのが困難となる。これを解決するために、従来は、タップ係数として、正及び負の送出パルスに対応する2種類のメモリを用意しなければならず、ハードウェア規模が大きくなるという欠点があった。

そこで、本発明の目的はハードウェア規模の小さいエコー除去装置を提供することにある。

(5)

共に、このパルスの発生に対応して0あるいは+1又は-1の3値符号を送信フィルタ15に供給する。AMI符号器2で発生された零あるいは正又は負のパルスはハイブリッド3を介して伝送路14に送出される。一方、受信信号は伝送路14及びハイブリッド3を介して、低域通過フィルタ4に供給される。低域通過フィルタ4にて不要な高域成分が除去された後、フィルタ出力は加算器5を介して復調器12に入力される。復調器12は離散等化、タイミング抽出、識別などの機能を有しており、受信信号は復調されたデータとして出力端子13に現われる。ここで、ハイブリッド3におけるインピーダンスの不整合によりAMI符号器の出力がエコーとして受信回路に漏れ込み低域通過フィルタ3に入力される。このエコーは、受信信号を復調する際の妨害信号となり問題となる。適応フィルタ15及び加算器5は受信信号の復調に妨害を与えるエコーを除去するために設けられたものであり、適応フィルタ15にて、適応的にエコーレプリカを生成することにより低域通過フ

(4)

(問題点を解決するための手段)

本発明は2進/4進変換回路の4線側にて送信回路より受信回路へ漏れ込むエコーを除去する際に、送信すべき2値データをAMI符号に変換するためのAMI符号化部と該2値データを差動符号化する手段と、該差動符号の現在のビットの値と1ビット前の入力とする加算演算手段と、前記差動符号を受け取ったエコーレプリカを発生するための第1の適応フィルタと、前記差動演算の出力とを受け取ったエコーレプリカを発生するための第2の適応フィルタと、前記第1のエコーレプリカと前記第2のエコーレプリカの和を得るための加算器とを少なくとも具備し、該加算器の出力を用いて、前記エコーを除去するように構成したことを特徴とする。

(作用)

本発明のエコー除去装置は、AMI符号化によりパルスの送出を行なうのに対し、この送出パルスに起因するエコーを次のように2個の適応フィ

特開昭62-159925 (3)

ルタを用いて除去する。第1の適応フィルタは正負パルスの対称成分に起因するエラーを除去する役目を担っており、原2値データを差動符号化することにより、AMI符号化をダイバース符号化として等価的にみなし、フィルタを動作させる。また、第2の適応フィルタは、正負パルスの非対称成分に起因するエラーを除去する役目を担っており、前記差動符号の1ビット前の値と、現在の値の否定値との論理和を入力として、フィルタを動作させる。従って、AMI符号化データを入力とし、各ステップ係数に対し正及び負のパルスに対応する2種類のメモリを用意する従来の方法に比べて、本発明の第1及び第2の適応フィルタのステップ数は共に小さくすることができしかも、各ステップ係数は1種類のメモリで済むから、全体のハードウェア規模を減少することが可能となる。

(英地例)

次に図面を参照して本発明について詳細に説明する。

チャート参照して第1図の動作を詳細に説明する。

第2図(a)は、第1図の入力端子1に供給される第2値データを示す。横軸は時間的でありテンタ周期はT秒とする。前記第2値データを受けA/M符号に変換する第1図のA/M符号部の出力波形を第2図(b)に示す。第2図(a)と(b)を比較すれば明らかな様に、入力された2値データが「0」の時は零レベルを、「1」の時は正のバルス又は負のバルスを受互に出力している。次に第2図例は、第1図の差動符号化回路16の出力として逆変フォーマット8に供給されている差動符号を示す。差動符号化回路16では、第2値データと、T秒の差動符号とのモジュロ2の演算をモジュロ2演算素子17で実行し、差動符号を出力する。従って、モジュロ2演算素子17の出力である差動符号は第2図(c)に示すようになる。

ところで、伝送面符号として用いられるダイバ
ルス符号とは、2値データが“0”の時は電圧レ
ベルを、“1”のときは2データ周期に亘って、2

第1図は、本発明の一実施例を示すブロック図である。同図において、第3図と同一の参照番号を付与された機能ブロックは第3図と同一の機能を有するものとする。第1図と第3図の相違点は、レコーレブリカを生成する第3図の通応フィルタ15が、第1図では第1の通応フィルタ9と第2の通応フィルタ1002個の通応フィルタに置換えられている点にあり、これに伴ってマルチ2乗算素子17及びT秒(但しTはデータ周期)の遅延を与える遅延素子18から成る並列符号化回路19並列符号化回路19の出力を受け第2の通応フィルタ10の入力を生成するためのアンド素子19及びインバータ20、23に通応フィルタ9及び10の出力を加算するための加算器11が付加されている。また並列符号化回路19には、入力素子1から供給される原3値データが入力される。さらに減算器5の出力信号は復調器12に供給されると同時に通応フィルタ9及び10に増減され、それぞれの通応フィルタのゲイン係数の更新に用いられる。次に、第2図のタイミング・

(8)

す最初のデータ周期には正のパルスを、次のデータ周期には負のパルスを出力する。従って、 α が連続する場合には、正のパルスと負のパルスが打消し合い零レベルを出力することになる。そこで第2図(a)に示す差動符号を入力とし、ダイバース符号化を行なった時の出力波形を(b)に示す。第2図(c)において破線と示した部分は、前述の α が連続する場合に相対し正のパルスと負のパルスが打消し合い零レベルとなることを示す。第2図(d)及び(e)は全く同一の波形とすることがわかる。従って2値データをAM I符号化した出力波形と、第2値データを差動符号化した差動符号入力し、ダイバース符号化した出力波形とは、正のパルスと負のパルスが完全に対称であるという条件の下で同一の符号化であると見なすことができる。しかしながら従来の回路では正のパルスと負のパルスが完全に対称となる条件を満足するのは非常に困難であり、特に図中のL8化を考えると通常多量の差動非対称成分が存在する。この時、正負パルスの非対称成分に起因して残響エラーが増大

特開昭62-159925(4)

し問題となるが、本発明では次のようにこの問題を解決する。正負のパルスが非対称なAMI符号化出力波形を第2図(11)に示す。波形(11)を、正負パルスが対称な成分をもつ波形(12)と正負パルスの非対称成分をもつ波形(13)に分割して考える。第2図では負のパルスが正のパルスに比べてパルスの高さが若干低い例を示している。波形(12)と(13)を加算すれば波形(11)が得られる。そこで、正負パルスが対称な成分をもつ波形(12)に起因するエコーを除去するための適応フィルタと正負パルスの非対称成分をもつ波形(13)に起因するエコーを除去するための適応フィルタを用いて、エコーを除去するように構成した点が本発明の特徴である。第1図における適応フィルタ9が前者の、適応フィルタ10が後者の役割分担している。適応フィルタ9には、モジュロ2演算素子17の出力である差動符号が供給されている。この差動符号は第2図(14)に示すように、'0'又は'1'の2値データであるから適応フィルタ9はパルスの極性を区別することなくフィルタ動作を行なう。また、適応フィ

ルタ10には、アンド素子19の出力が供給されている。アンド素子19には、モジュロ2素子17の出力である差動符号がインバータ20を介して入力されると共に、既述の符号がT秒(Tはデータ周期)だけ遅延受けて入力されており、両者の論理積が出力される。第2図(15)は第1図のアンド素子19の出力データを示したものであり、波形(15)が示す正負パルスの非対称成分の有無に対応しており、非対称成分の存在する時には'1'、存在しない時には'0'となっている。従って、適応フィルタ10はパルスの非対称成分に起因するエコーを除去するように動作することになる。適応フィルタ9及び10の出力は加算器11により加算されるから、加算器11の出力には、正負パルスがたまたま非対称であっても、これに対応したエコーレバリカが得られることになる。

次に、本発明の第1図の適応フィルタ9及び10について、従来例の第3図の適応フィルタ15と比較しながら詳細に説明する。これらの適応フィルタは前述の参考文献に記載されているトランス

(12)

(12)

ミューサル型あるいはアイーイーイー トランザクション オン コミュニケーションズ(IEEE TRANSACTIONS ON COMMUNICATIONS) 29巻11号、1981、1573~1581ページに記載されているメモリ型を用いて実現することができ、トランスミューサ型ではチップ毎に係数メモリを有するのに対し、メモリ型では各チップ出力がRAM(Random Access Memory)のアドレスに入力される。従ってチップ係数をNとすると、前者では基本的にN個のメモリが必要となるのに対し、後者では 2^N 個のメモリを要する。ここで従来例を示す第3図の適応フィルタ15を考えると送られる正負のパルスが非対称である時トランスミューサ型では係数として正のパルスに対応するメモリと、負のパルスに対応する 2^N 個のメモリが必要となり、メモリの容量は2倍即ち 2^N 倍必要となる。また、メモリ型でも正負パルスを区別するために、その容量は2倍即ち 2^N 倍必要となる。これに対し本発明の一実施例を示す第1図の適応フィルタ9及び10はトランス

ミューサル型で実現されようが、メモリ型で実現されようが、送られる正負のパルスが非対称であっても共にメモリ容量は2倍にする必要はない。従って、チップ数が同一であり、適応フィルタとして同一の型を対称とすれば第3図の適応フィルタ15のメモリ容量と、第1図の適応フィルタ9と10を合計したメモリ容量とは等しい。ところが、適応フィルタ9及び10の各々のチップ数は第3図の適応フィルタ15に比べて以下の理由で小さい。差動符号を受け動作する第1図の適応フィルタ9は、エコーをダイバース符号として除去するのに対し、第3図の適応フィルタ15はAMI符号として除去する。ここでダイバース符号では正のパルスと負のパルスが必ず組合せて送出されるので、エコーのパルス応答の長さがAMI符号に比べて短くなることか明らかである。従って第3図の適応フィルタ15のチップ数に比べて、第1図の適応フィルタ9のチップ数は小さくてすむ。また、第1図の適応フィルタ10は、パルスの非対称成分に起因するエコーを除去すればよい

(13)

-138-

(14)

特開昭62-159925(5)

から第2図に示すように、パルスの非対称成分のレベルは、AMI符号のパルスのレベルに比べて、非常に小さいことが明らかである。従ってパルスの非対称成分に起因するエコーの応答の長さは、AMI符号のパルス応答に比べて大幅に短くなる。それ故、第3図の適応フィルタ15のタップ数に比べて第1図の適応フィルタ10のタップ数は大幅に小さくすむ。以上述べたように2つの理由により第3図に示す適応フィルタ15のメモリ容量に比べて第1図の適応フィルタ9と10を合計したメモリ容量は、小さくなるからハードウェア規模を従来に比べて減少することが可能となる。これは、適応フィルタがトランスバースル型であっても、メモリ型であっても有効である。

なお、本発明の実施例を示す第1図では適応フィルタ9及び10は、アナログ回路で構成されることを想定しているが、もちろん両者をデジタル回路で構成することも可能である。この時、加算器11はデジタル加算器に変換すると共に加算器11と減算器5との間にデジタル・アナ

(15)

ログ変換器を、また、減算器5の出力信号を適応フィルタ9及び10に供給する際、デジタル信号に変換するためのアナログ・デジタル変換器を付加する必要がある。また別の構成として、低域通過フィルタ4と減算器5との間にアナログ・デジタル変換器を付加し、適応フィルタ9及び10、加算器11、減算器5及び復調器12をすべてデジタル回路で置換えることも可能である。

さらに、第1図の実施例では及び第2図のタイミングチャートでは、正のパルスを基準にして正負パルスの対称成分及び非対称成分を考えていた。即ち、第2図の波形(1)において、正のパルスを基準にして、波形(4)は対称成分を波形(3)は非対称成分を示していた。しかしながら、波形(1)に対し、負のパルスのレベルを基準にして本発明を適用することはもちろん可能であり、この時、波形(4)の正負パルスのレベルは、波形(1)の負のパルスのレベルに等しくすることになる。また、波形(4)は、波形(4)が正のパルスとなる時間区間のみ波形(4)の正と負のパルスの両のレベルを持つ負のパルスが

(16)

図において

1は入力端子、2はAMI符号器、3はハイブリッド、4は低域通過フィルタ、5は加算器、9、10及び15は適応フィルタ、11は加算器、12は復調器、13は出力端子、14は2線伝送路、16は差動符号化回路、17はモジュロ2演算素子、18は遅延素子、19はアンド素子、20はインバータをそれぞれ示す。

代理人 西土 内 原



(発明の効果)

以上詳細に述べたように本発明によれば、AMI符号化されたパルスのエコーを除去するための適応フィルタのタップ数が小さくすむので、ハードウェア規模を減少することが可能となる。また本発明によれば、送出パルスの正負非対称成分に起因するエコーも除去することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は、第1図の回路動作を説明するためのタイミングチャート、第3図は実施例を示すブロック図である。

(17)

(18)

Best Available Copy

